

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 62024498

PUBLICATION DATE : 02-02-87

APPLICATION DATE : 24-07-85

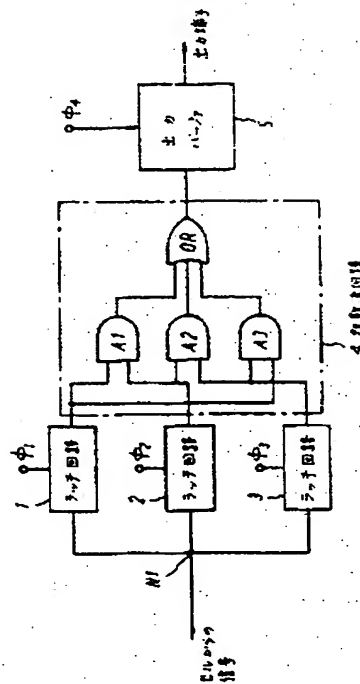
APPLICATION NUMBER : 60162100

APPLICANT : NIPPON TELEGR & TELEPH CORP  
<NTT>;

INVENTOR : BABA TATSUO;

INT.CL. : G11C 17/00 G11C 29/00

TITLE : MEMORY READ SYSTEM



**ABSTRACT :** **PURPOSE:** To prevent erroneous read due to an electric noise without reducing the bit density by reading information from the same cell plural times continuously and comparing these information to determine output information.

**CONSTITUTION:** Information read to a node N1 is taken into a latch circuit 1 by a control clock  $\phi_1$  and is latched. Information is read again from the same cell, and read information is latched in a latch circuit 2 by a control clock  $\phi_2$ , and information read from the same cell is latched in a latch circuit 3 by a control clock  $\phi_3$  similarly. Three pieces of latched information are subjected to majority decision by a majority decision circuit 4, and the result is read out to the external through an output buffer 5. The majority decision circuit 4 consists of 3 AND circuits A1-A3 and one OR circuit OR and outputs the same information as information inputted to the majority of the first ~ third input terminals.

**COPYRIGHT:** (C)1987,JPO&Japio

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (J P)

⑪ 特許出願公開

⑩ 公開特許公報 (A)

昭62-24498

⑤ Int. Cl.

識別記号

庁内整理番号

④ 公開 昭和62年(1987)2月2日

G 11 C 17/00  
29/00

6549-5B  
P-7737-5B

審査請求 未請求 発明の数 2 (全6頁)

④ 発明の名称 メモリ読出し方式

② 特 願 昭60-162100

③ 出 願 昭60(1985)7月24日

⑦ 発 明 者 馬 場 竜 雄 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

① 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑥ 代 理 人 弁理士 並木 昭夫 外1名

明 細 書

1. 発明の名称

メモリ読出し方式

2. 特許請求の範囲

1) 読出し専用メモリにおいて、セルに記憶されている情報を読出す場合、 $N$ 個 ( $N$ は奇数とする) のラッチ回路と1個の多数決論理回路を用い、メモリ内部で同一のセルから連続して $N$ 回情報を読出し、 $n$ 番目 ( $N \geq n \geq 1$ ) の読出し結果を上記 $n$ 番目のラッチ回路に取り込んでラッチし、上記多数決論理回路により、上記 $N$ 個のラッチ回路にラッチされている情報の多数決を採って出力情報を決定することを特徴とするメモリ読出し方式。

2) 読出し専用メモリにおいて、セルに記憶されている情報を読出す場合、1個のラッチ回路と1個の比較回路を用い、メモリ内部で同一のセルから連続して1回情報を読出し、 $i$ 番目 ( $i \geq 1$ ) の読出し結果を上記 $i$ 番目のラッチ回路に取り込んでラッチし、上記1個のラッチ回路にラッチされている全情報を上記比較回路により比較

して、全てが一致したときはその情報を外部に読出し、一致しないときは更に読出し動作を繰り返し $j$ 番目 (但し  $j = i + 1 \times k$ , また  $i \geq 1$ ,  $k = 1, 2, \dots$ ) に読出した結果を $i$ 番目のラッチ回路に取り込んでラッチし、上記1個のラッチ回路にラッチされている情報が全て一致していることを、上記比較回路により確認してからその情報を外部に読出すことを特徴とするメモリ読出し方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、読出し専用メモリ (ROMメモリ) 等において、信頼度の高い読出し動作が行えるようにしたメモリ読出し方式に関するものである。

(従来の技術)

従来ROMにおいて読出し動作を行うときは、指定されたセルに記憶されている情報をビット線に取り出し、マルチプレクサ、アンプ、出力バッファを介して外部に読出していた。ROMメモリの読出し動作は非破壊動作であり、読出し動作

でセルに記憶されている情報が破壊されることはない。また記憶している情報が、RAMメモリのように、雑音電流等の要因で失われてしまうこともない。

従ってセルに記憶されている情報そのものが失われることはないが、読出し動作中に、各種の電氣的雑音により、アンプやラッチ回路が誤動作すれば、誤った情報が読出される危険性（以後、誤読出しと呼ぶ）がある。特に高密度化のため、セルに記憶される情報を多値化した場合などは、アンプに入力される信号振幅が小さくなるため誤動作し易くなる。

このような誤動作を防ぐ一手法として複数セル1ビット方式が知られている。この方式では、複数個のセルに同一の情報を記憶させ、読出し時には各セルからの情報の多数決を採って出力を決める。このため過半数のセルからの情報が誤っていない限り、誤読出しは起こらない。従ってこの方式は誤読出しを防ぐ上では効果的であるが、1ビットに対し複数個のセルを割り当てなければなら

ないため、ビット密度（記憶容量／チップサイズ）が大きく低下するという問題があった。

また他の手法として記憶情報に対し誤り検出・訂正用の情報を付加する方式も知られている。この場合も、読出し情報において多くの情報の誤り検出・訂正を行おうとすると、必要な誤り検出・訂正用の情報が増大し、やはりビット密度が大幅に低下するという問題があった。またROMの設計時に、誤り検出・訂正用の情報を付加する工程が追加されるため、それだけROMの設計が複雑になるという欠点があった。

（発明が解決しようとする問題点）

そこで本発明においては、メモリ読出しに際し、ビット密度を低下させることなく、またメモリの設計を複雑にすることなしに、電氣的雑音により生じる誤読出しを防止すること、を解決すべき問題点としている。従って本発明は、上述のことを可能にするメモリ読出し方式を提供することを目的とする。

（問題点を解決するための手段および作用）

上記目的を達成するため、本発明は、メモリ内部で自動的に、同一のセルから複数回連続して情報を読み出し、それらの結果を比較して出力情報を決定するようにしており、そしてこのことを特徴とするものである。

〔実施例〕

次に図を参照して本発明の実施例を説明する。

第1図は本発明の一実施例を示すブロック図である。同図に見られるように、本発明による読出し方式は、3個のラッチ回路1～3、多数決回路4、4個の制御クロック $\phi 1 \sim \phi 4$ 、出力バッファ（制御端子がハイレベルなら入力信号を増幅して出力し、ロウレベルなら出力端子をハイインピーダンスに保つという機能を持つものとする）5を用い、ラッチ回路1～3の各入力端子を相互に接続してノードN1とし、またラッチ回路1～3の各制御端子にそれぞれ制御クロック $\phi 1 \sim \phi 3$ を接続し、ラッチ回路1～3の各出力端子を多数決回路4の第1～第3の入力端子に接続し、多数決回路4の出力端子を出力バッファ5の入力端子

に接続し、出力バッファ5の制御端子に制御クロック $\phi 4$ を接続する。

なお、多数決回路4は、図示の如く3個のアンド回路A1～A3と1個のオア回路ORから成り、その第1～第3の入力端子の過半数（本例では2）に入力された情報と同じ情報を出力するようになっている。

第2図は、第1図に示した回路における各部信号の動作タイミング図である。

第1図、第2図を参照して回路動作を説明する。読出し動作は、同期式の場合はチップイネイブルクロックなどの外部クロックが立ち上がることにより、また非同期式の場合はアドレス信号の変化を内部で検出することにより始まる。

まずチップ内部で発生させた基本クロック $\phi 0$ （このクロックは従来のROMで使われるチップセレクトクロックに相当するもので、第1図には図示していない）が立ち上がることにより回路が活性化され、指定されたセル（図示せず）の情報が、図示せざるビット線、マルチプレクサ、アン

ブを介してノードN1へ読出される。

この情報は、制御クロック $\phi 1$ をハイレベルにすることにより、ラッチ回路1に取り込まれてラッチされる。次に基本クロック $\phi 0$ が一端降下してから再び立ち上がることに伴い、再度同じセルからの読出し動作が行われ、読出し情報が制御クロック $\phi 2$ によりラッチ回路2にラッチされる。更に同様の読出し動作がもう一度繰り返され、同じセルから読出された情報が制御クロック $\phi 3$ によりラッチ回路3にラッチされる。

次に多数決回路4により、ラッチされた3つの情報の多数決を採り、結果を出力バッファ5を介して外部へ読出す。なお出力バッファ5では、読出し動作が開始されてから、連続して読出された情報の多数決が採られるまで、制御クロック $\phi 4$ がロウレベルとなって出力端子をハイインピーダンス状態に保っている。この制御クロック $\phi 4$ は、制御クロック $\phi 1$ 、 $\phi 3$ を入力とするR-Sフリップフロップ回路を用いれば容易に発生できる。

本実施例の読出し方式では、同一のセルから3

回繰り返して読出しを行い、得られた結果の多数決を採って出力情報を決定する。このためソフトウェア等の一時的な雑音により生じる誤読出しを防ぐ上で極めて効果的であり、しかも1ビット/1セルであるから、複数セル1ビット方式のようにビット密度を大幅に低下させることもない。本実施例では、読出し回数を3回に設定しているが、読出しの回数を増やせば、アクセス時間は長くなるものの、それだけ信頼性を上げることができる。

また本実施例では、読出し回数を3回と奇数に設定しているが、もし情報の誤読出しに一定の傾向があれば、読出し回数は偶数であってもよい。たとえば誤読出しのほとんどが、情報「0」を情報「1」と読んでしまう場合であるなら、多数決の結果として「0」、「1」同数が得られたときは「0」を読出し情報と決定するような構成にすればよい。こうすれば本実施例を使うことによって得られる高い信頼性をほとんど失うことなく、読出し時間を短縮できるなどの利点を得られる。

第3図は、本発明の他の実施例を示す回路図で

ある。同図に示す実施例は、2個のラッチ回路1、2、オア回路OR1、排他的ノア回路(XNOR)、インバータNOT、出力バッファ5、2個のトランジスタQ1、Q2、制御クロック $\phi$ ATD、 $\phi$ ATDB( $\phi$ ATDの相補信号)、 $\phi 5$ 、 $\phi 6$ を用い、ラッチ回路1の入力端子、出力バッファ5の入力端子、インバータNOTの入力端子、トランジスタQ1のソースを相互接続してノードN1とし、インバータNOTの出力端子をトランジスタQ2のソースと接続し、トランジスタQ1のドレインとトランジスタQ2のドレインとラッチ回路2の入力端子とを相互接続し、トランジスタQ1のゲートに制御クロック $\phi$ ATDを接続し、オア回路OR1の第1の入力端子とトランジスタQ2のゲートに制御クロック $\phi$ ATDBを入力し、ラッチ回路1の制御端子に制御クロック $\phi 5$ を入力し、オア回路ORの第2の入力端子に制御クロック $\phi 6$ を入力し、オア回路ORの出力端子をラッチ回路2の制御端子に接続し、ラッチ回路1、2の出力端子をそれぞれ排他的ノア回路XNOR

の2つの入力端子に接続し、排他的ノア回路XNOR回路の出力端子と出力バッファ5の制御端子を接続してノードN2としている。

第4図は、第3図に示した回路における各部信号のタイミング図である。

第3図、第4図を参照して回路動作を説明する。読出し動作は、図示せざるチップ内部でアドレス信号の変化を検出し、制御クロック $\phi$ ATDがハイレベルからロウレベルへ変化することにより始まる。制御クロック $\phi$ ATDがロウレベルになると基本クロック $\phi 0$ がハイレベルになり、内部回路が活性化されて、指定されたセルの情報が、図示せざるビット線、マルチプレクサ、アンプを介してノードN1へ読出される。この情報は制御クロック $\phi 5$ によりラッチ回路1にラッチされる。

またこのとき制御クロック $\phi$ ATDBがハイレベルであるためトランジスタQ2が導通し、制御クロック $\phi$ ATDがロウレベルにあることからトランジスタQ1がカットオフする。このためインバータNOTを介してラッチ回路2にはラッチ回

路1におけるのと相補的な信号が書き込まれラッチされる。従ってノードN2(排他的ノア回路XNORの出力端子)がロウレベルとなり、出力バッファ5の出力端子はハイインピーダンス状態となる。

次に基本クロック $\phi 0$ が一端降下してから再び立ち上がることにより、再度同じセルから情報が読出され、この情報が制御クロック $\phi 6$ によりラッチ回路2にラッチされる。前回ラッチ回路1にラッチされた情報と今回ラッチ回路2にラッチされた情報が排他的ノア回路XNORで比較され、等しければノードN2がハイレベルとなり、出力バッファ5を介して、セル情報が読出される。また、これらラッチ回路1、2にラッチされている情報が等しくなければノードN2はロウレベルのまま留まり、出力バッファ5の出力端子はハイインピーダンス状態に保たれる。

そして更にもう一度同一のセルからの読出しが行われて結果が制御クロック $\phi 5$ によりラッチ回路1にラッチされ、排他的ノア回路XNORによ

り、ラッチ回路2に前回からラッチされている情報と比較される。

この様にしてラッチ回路1、2内の情報が一致するまで、同一のセルからの読出しが繰り返され、一致した時点で出力バッファ5を介してセル情報が外部へ読出される。なお第4図では、最初に読出した情報と2回目に読出した情報が異なり、2回目に読出した情報と3回目に読出した情報とが等しくて、出力バッファ5から情報が出力した場合を例にとって示してある。

このように本実施例では、同一セルから読出された情報が2度続けて同一である場合のみ外部へ情報を読出す。このためソフトエラー等の一時的な雑音により生じる誤動作を防ぐ上で極めて効果的であり、しかも1ビット/1セルであるから、複数セル1ビット方式のようにビット密度を低下させることもない。

本実施例で使っている基本クロック $\phi 0$ は、内部で読出し動作を繰り返すための基本クロックとして使われ、ラッチ回路1、2にラッチされてい

る情報が等しいことを確認してから、別番地のセルに対する読出し動作が開始されるまではロウレベルに固定される。このような動作タイミングをもつ基本クロック $\phi 0$ を発生させるためには、例えば第5図に示すような回路を用いればよい。

この回路ではナンド回路NAND、2個のインバータNOT1、NOT2、2個のトランジスタQ3、Q4、遅延回路6、制御クロック $\phi A T D$ 、第3図におけるノードN2のノード電圧VN2を使い、ナンド回路NANDの2つの入力端子に制御クロック $\phi A T D$ 、ノード電圧VN2を接続し、ナンド回路NANDの出力端子をトランジスタQ3のゲートと第1のインバータNOT1の入力端子とに接続し、第1のインバータNOT1の出力端子をトランジスタQ4のゲートに接続し、トランジスタQ3のソースと第2のインバータNOT2の出力端子とを接続し、トランジスタQ3のドレインと遅延回路6の一方の端子とを接続し、トランジスタQ4のドレインと第2のインバータNOT2の入力端子と遅延回路6の他方の端子とを相

互接続して出力端子としている。

動作原理を述べる。読出し動作が開始されてからラッチ回路1、2にラッチされている情報が一致するまでは、制御クロック $\phi A T D$ 、ノード電圧VN2のどちらから一方が第4図に見られる如くロウレベルであるためトランジスタQ3が導通し、トランジスタQ3、遅延回路6、第2のインバータNOT2によりループが形成れる。このループにより出力端子からは、一定の周期でロウレベル、ハイレベルを繰り返すクロック $\phi 0$ が得られる。またラッチ回路1、2にラッチされている情報が一致して、外部に情報が読出された後は、制御クロック $\phi A T D$ 、ノード電圧VN2が共にハイレベルになることから、トランジスタQ3がカットオフとなってこのループが切断されると共に、トランジスタQ4が導通することにより基本クロック $\phi 0$ はロウレベルに固定される。

(発明の効果)

以上説明したことから分かるように、本発明による読出し方式を使えば、ROMメモリに小規模

の回路を付加するのみでほとんどドット密度を低下させることなく、ソフトウェア等の一時的な雑音により生じる誤読出しを防ぐことができ、極めて信頼性の高い読出し動作が行えるという利点がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は第1図の回路における各部信号の動作タイミングを示す波形図、第3図は本発明の他の実施例を示す回路図、第4図は第3図の回路における各部信号の動作タイミングを示す波形図、第5図は第3図に示した実施例で使用する基本クロックの発生回路例を示した回路図、である。

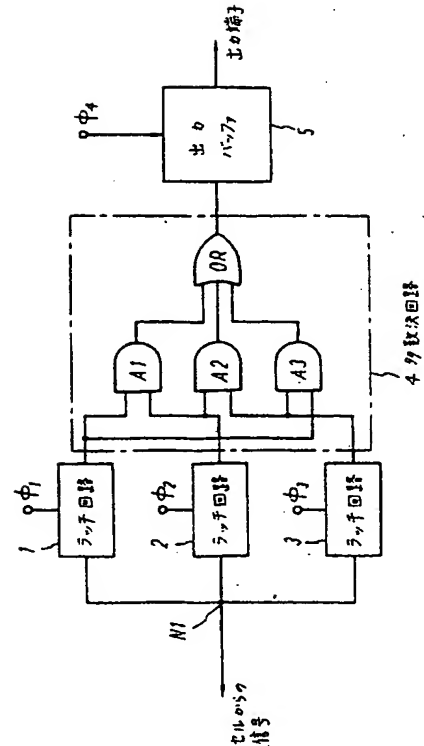
#### 符号の説明

1～3…ラッチ回路、4…多数決回路、5…出力バッファ、6…遅延回路

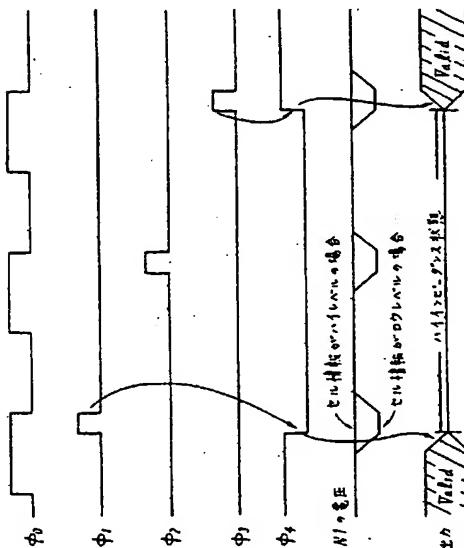
代理人 弁理士 並 木 昭 夫

代理人 弁理士 松 崎 清

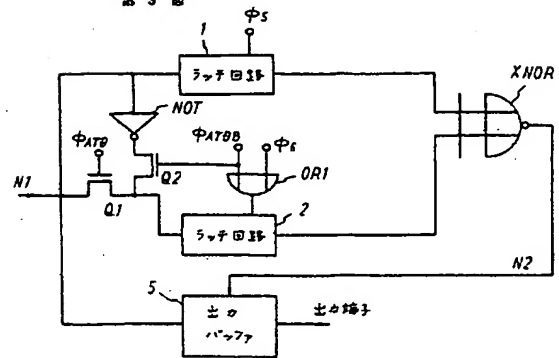
第1図



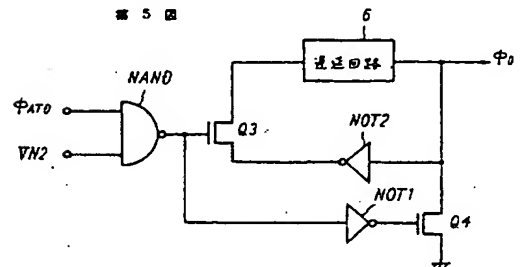
第2図



第3図



第5図



第4図

